

MULTIPROCESOROVÝ A PARALELNÉ POČÍTAČOVÉ SYSTÉMY

1. Úvod

Rýchly rozvoj polovodičovej technológie dáva k dispozícii veľkoplošné integrované logické obvody LSI, ktoré majú priamy vplyv na ďalší vývoj počítačového priemyslu. Stovky integrovaných obvodov v konvenčných počítačoch sa nahradzujú niekoľkými pázdrami LSI, čím sa podstatne znižuje cena základnej jednotky počítačov. Procesor realizovaný pomocou LSI dáva vyššiu prevádzkovú spoľahlivosť, keďže počet prepajov na doske plošných spojov a v konektoroch je podstatne menší. Použitie lacnejších unipolárnych obvodov MOS/LSI v počítačoch bolo spočiatku čiastočne obmedzené pre ich nižšiu rýchlosť. V súčasnosti sú už k dispozícii zdokonalené technológie LSI, pomocou ktorých možno realizovať 16-bitové procesory, pracujúce s rýchlosťami zodpovedajúcimi rýchlostiam procesorov postavených na konvenčných bipolárnych integrovaných obvodoch. Je preto prirodzené, že príchod procesorov LSI si vynútil zmeny v základnej koncepcii počítačových systémov.

Neboli to však len fyzikálno-technologické príčiny, ktoré viedli k vývoju nových architektur počítačov štvrtej generácie. Zvyšovanie operačnej rýchlosti počítačových systémov nad určitú hranicu fyzikálnymi a technickými prostriedkami, t. j. zvyšovania rýchlosti elektronických obvodov, ďalej nie je možné. Desiatnásťnásobná operačná rýchlosť je zhora ohraničená maximálnou rýchlosťou šírenia sa elektrických impulzov v obvodech pevnej fázy.

Programová priepustnosť konvenčných počítačových systémov je ďalej ohraničená rýchlosťou operačného systému, ktorý riadi multiprogramovú činnosť počítačového systému centralizovaným spôsobom. Podiel času spotrebúvaného operačným systémom pri množstve spracúvaných programov je taký veľký, že jeho použitie sa stáva neekonomické. Okrem toho konvenčné počítačové systémy nie sú schopné realizovať vyhľadávanie v zoznamoch, ktorých prvky sa

rýchle menia v reálnom čase; v jednom časovom okamihu môžu vykonávať len jednu aritmetickú resp. logickú operáciu; pre zápis a výber z pamäti používajú slovné adresovanie, ktoré je relatívne pomalé atď.

Problémy súčasnej vedy a techniky vyžadujú realizáciu rozsiahlych výpočtov, ako napr.: riešenie zložitých lineárnych a nelineárnych systémov algebrických, obyčajných a parciálnych diferenciálnych rovníc s rýchle sa meniacimi parametrami, počiatočnými a skrajovými podmienkami (rovnice pre predpoveď počasia v meteorológii, pri spracovaní seizmických údajov v geofyzike, geológii a pod.); spektrálna analýza pomocou rýchlej Fourierovej transformácie; problémy rozpoznávania obrázkov a úsulej inteligencie; výpočet konvolučných integrálov; inverzia matíc veľkých rozmerov; použitie stochastických metód Monte Carlo a pod. Účely tohto druhu vyžadujú na riešenie počítače, ktorých rýchlosť je 100- až 300-krát vyššia než rýchlosť konvenčných počítačov.

Naproti tým počítačové systémy určené na riadenie procesov v reálnom čase musia okrem rýchlosti spĺňať aj požiadavky vysokej spoľahlivosti resp. praktickej prevádzkovej bezporuchovosti a ľahkej udržiavateľnosti. Toto opäť nemožno dosiahnuť pomocou konvenčných počítačov tretej generácie, ktorých stredná doba medzi poruchami je v rozsahu 1000 až 10 000 hodín.

Keďže rýchlosť a spoľahlivosť konvenčných počítačov je obmedzená, splnenie týchto požiadaviek možno dosiahnuť len systémovým riešením, ktoré je založené na využití princípov paralelizmu.

Z uvedeného vyplýva, že architektúry počítačových systémov 4. generácie musia sledovať dosiahnutie dvoch hlavných cieľov:

(a) Dosiahnutie maximálnej operačnej rýchlosti a programovej priepustnosti, v prípade počítačov určených na hromadné spracovanie údajov a vedecko-technické výpočty.

(b) Dosiahnutie vysokej spoľahlivosti a prevádzkovej pohotovosti, t. j. praktickej bezporuchovosti a ľahkej udržiavateľnosti, pri zachovaní požiadavky vysokej operačnej rýchlosti, v prípade počítačov určených na priame riadenie procesov v reálnom čase.

2. Klasifikácia architektúr procesorov

Počítačové systémy možno rozdeliť podľa typov použitých aritmetických a logických procesorov, do štyroch hlavných kategórií:

(a) Sériový procesor s jedným tokom inštrukcií a jedným tokom údajov - SISD (Single Instruction-Single Data).

(b) Zretazený (pipeline) procesor alebo procesor s viacnásobným tokom inštrukcií a jedným tokom údajov - MISD (Multiple Instruction-Single Data).

(c) Maticový procesor s jedným tokom inštrukcií a mnohonásobným tokom údajov - SIMD (Single Instruction-Multiple Data), ktorý zahŕňa maticové, asociatívne maticové a ortogonálne procesory.

(d) Multiprocessor alebo procesor s mnohonásobným tokom inštrukcií a mnohonásobným tokom údajov - MIMD (Multiple Instruction-Multiple Data).

2.1. Sériový procesor

Činnosť procesora SISD (obr.1a) je zhodná s konvenčným jednodresným monoprocessorom P1 s jedným inštrukčným prúdom, ktorý zodpovedá fundamentálnej štruktúre J. von Neumanna [1]. Procesor postupne prináša inštrukcie z operačnej pamäti, dekoduje ich do hlavných tried a vykonáva ich. Inštrukčný prúd pre N-inštrukčný program možno formálne vyjadriť postupnosťou dvojíc operačných kódov a adries:

$$\text{prúd} = \left\{ \begin{array}{l} \phi \cdot A \\ \vdots \\ \phi \cdot A \end{array} \right\}_{i=1}^N \quad (1)$$

kde A- je adresa bunky pamäti,

ϕ - je operačný kód inštrukcií.

V prípade dvojadresného procesora P2, každé inštrukčné slovo obsahuje adresy dvoch operandov. N-inštrukčný prúd pre P2 možno napísať v tvare

$$\text{prúd} = \left\{ \begin{array}{l} \phi, A_1, A_2 \\ \vdots \\ \vdots \end{array} \right\}_{i=1}^N \quad (2)$$

kde ϕ je operačný kód, A_1 a A_2 sú adresy.

2.2. Zretazený procesor

Zretazený procesor sme charakterizovali ako procesor (MISD) (obr.1b), pracujúci na princípe zretazenia. Zretazenie (pipelining) je metóda vloženia paralelizmu do počítačového systému tým, že sa tento realizuje v tvare reťazca (pipeline), ktorý je konfiguráciou nezávislých autonómnych jednotiek. Každá autonómna jednotka je určená na vykonávanie určitej subfunkcie v režime vzájomného prekryvania sa. Autonómna jednotka alebo segment reťazca sa nazýva segment zretazenia. Blokovaná schéma všeobecného zretazenia je uvedená na obr. 2. Zretazenie tvorí segmenty A, B, C, D spojené sériovo. V pravidelných časových intervaloch výstup jedného segmentu sa presúva do nasledujúceho. Do segmentu A v každom časovom cykle vstupuje nový operand a segment D dáva výstup počas každého časového cyklu. Operandy prechádzajú zretazením podobne ako voda potrubím, odtiaľ názov "pipelins". V architektúre počítačov zretazenie, ktoré sme definovali ako prekryvanie súčasne prebiehajúcich operácií, možno efektívne využiť na rôznych úrovniach:

Zretazenie na úrovni brečiel sa využíva napr. pri konštrukcii procesorovej jednotky na spracovanie inštrukcií (JSI). Jednotku JSI možno rozložiť na funkčné segmenty, ako prinesenie inštrukcie, dekódovanie inštrukcie, generovanie adresy, prinesenie operandu atď. Počas každého taktu inštrukcia prejde jedným segmentom, takže po vstupe prúdu inštrukcií do tohto zretazenia, na výstupe sa začnú vydávať inštrukcie v každom takte. V každom hodinovom takte môže do zretazeného procesora vstúpiť nová dvojica operandov a všetky operandy, ktoré sa už v ňom nachádzajú, posunú sa o jeden stupeň (segment) k výstupu. Tento typ zretazenia možno využiť aj v operačnej pamäti, čím sa dostane tzv. zretazená pamäť. Podobne sa použije zretazená pamäťová zbernica pre postupné prenosy údajov počas jedného pamäťového cyklu.

Ďalšia úroveň aplikácie zretazenia je podsystémová úroveň, kde typickými príkladmi sú zretazené aritmetické jednotky. Zretazené funkcie ADD, MUL, DIV a SQRT sa nachádzajú v mnohých súčasných, aj nie typicky zretazených počítačových štruktúrach. Na obr. 3 je zobrazená koncepcia operácie DIV metódou zretazenia, pričom ako D_1 sa iteratívne blíži k 1, N_1 sa blíži podielu N/D . Pritom charakteristickým znakom zretazeného systému je jeho rekonfigurovateľnosť. Systém môže byť nerekonfigurovateľný, ako napr. IBM 360/91, alebo dynamicky rekonfigurovateľný. Obr. 4 ukazuje príklad opakovaného rekonfigurovateľného systému zretazenia ako je realizovaný v TI-ASC [3]. Tvoria ho štyri identické aritmetické jednotky (AJ), pričom každá obsahuje 8 segmentov. Všetky AJ môžu vykonávať tú istú operáciu. Z ôsmich segmentov každej AJ v určitom čase sa môžu štyri segmenty rekonfigurovať do zretazenia pre násobenie v pevnej rádovej čiarke, zatiaľ čo v inom čase šesť z nich môže tvoriť zretazenie pre sčítanie v pohyblivej rádovej čiarke. Konfigurácie zretazenia však všeobecne nemusia byť lineárne, ale môžu byť dvoj- a viac-rozmerné.

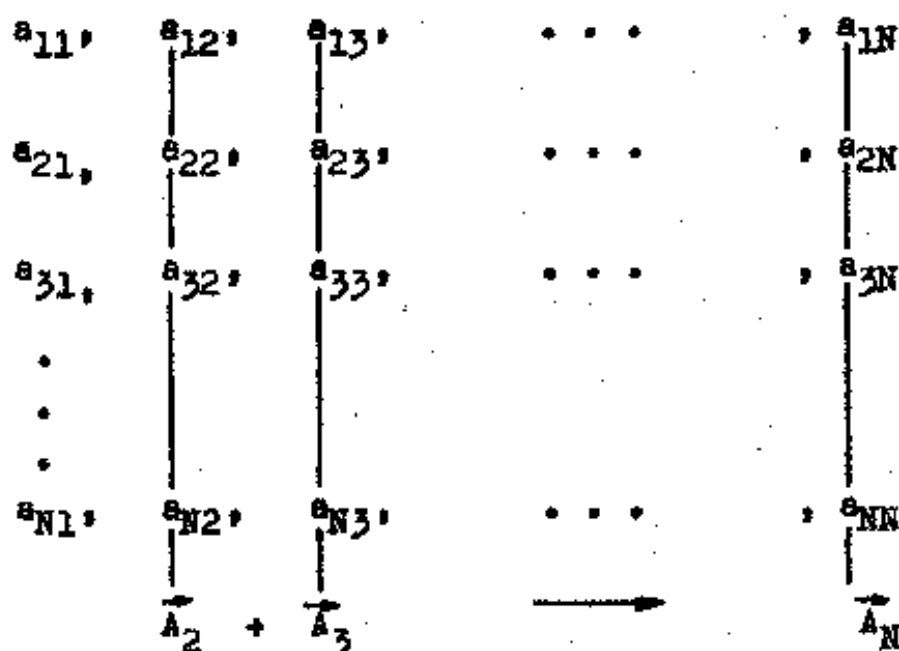
Segmenty zretazenia môžu byť nielen na úrovni technických prostriedkov, ale zretazenie môže tvoriť technicko-programový komplex ľubovoľnej zložitosti. Tento typ zretazenia tvorí najvyššiu systémovú úroveň (obr. 5). Táto trieda zretazenia zahŕňa aj špecializované počítačové siete a rôzne typy spoľahlivostných systémov. Rozpracovanie rôznych zretazených systémov zodpovedajúcich kombináciám uvedených charakteristík predstavuje významný pokrok v architektúre počítačových systémov. Zovšeobecnená koncepcia zretazenia zahŕňa tak konvenčné paralelné spracovanie, ako aj zretazenie, ako podmožiny. Toto zovšeobecnené zretazenie umožňuje využívať zdroje, ktoré pri konvenčnom riešení pracovali nepracujú. V prípade dynamického mnoho-rozmerného zretazenia zdroje možno počas výpočtu rekonfigurovať do potrebných zretazení, čo má za následok zvýšenie ich využitia. Zlepšenie spoľahlivosti je ďalší prínos zovšeobeného zretazenia. Rekonfigurovateľnosť a opakovateľnosť segmentov (subsystémov, systémov) v zovšeobecnenom zretazení dáva dobrý základ pre včlenenie riadenej degradácie

systemu, diagnostiky porúch a obnovenia po poruche. Zreťazený procesor resp. zreťazená pamäť vyžadujú menej technických prostriedkov než napr. maticové procesory, pretože tieto sú opätovne použité pri každom hodinovom takte. To znamená, že zreťazený procesor zamestnáva menej technických prostriedkov na väčší čas. Toto potvrdzuje výhody zreťazenia v architektúre počítačov vyšších generácií. Niektorí výrobcovia v tomto zmysle dávajú k dispozícii niekoľkobitové (2-, 4-bitové) rezy mikroprocesorov LSI (napr. INTEL 3000, AM 2900 a pod.), z ktorých možno vytvárať procesory ľubovoľnej šírky toku údajov (8-, 16-, 32-, resp. 64-bitov) viacdásobným použitím základných bitových rezov. Naproti tomu však zreťazené procesory vyžadujú rýchlejšie obvody, aby boli schopné pracovať v režime multiplexného rozdeľovania času. Princíp zreťazených procesorov a pamätí sa využíva v počítačoch CDC STAR-100 (1971) [2], Texas Instruments ASC (1972) [3], IBM 360/195 (1970) a pod. Projekt počítača CDC STAR-100 (String and ARay data) bol priamo ovplyvnený Iversonovým programovacím jazykom APL (A Programming Language) [4]. Rýchlosť procesora je cca 50 mil. operácií za sekundu so šírkou toku operandov 32 bitov. Významný je spôsob riešenia simultánnosť pracujúceho distribuovaného operačného systému, ktorý môže byť perspektívny aj pre iné počítačové systémy.

2.3. Maticový procesor

Maticový procesor patrí do kategórie procesorov SIMD (obr. 1c) a možno ho definovať ako množinu vzájomne prepojených relatívne jednoduchých elementárnych výpočtových prvkov (EVP), v podstate sériových procesorov, z ktorých každý má vlastnú pamäť a riadiacu jednotku. (Obr. 6). Riadiaca jednotka maticového procesora ovláda vstupno-výstupné operácie elementárnych procesorov EVP, prenos údajov medzi jednotlivými EVP, posuvy atď. a môže zabezpečovať spracovanie podstatného počtu sériových úloh s prúdom inštrukcií, vrátane maskovania činnosti EVP a ochrany pamäti.

Maticový procesor všeobecne pracuje nad slovami alebo slabikami. Paralelne prijíma bloky slov, operáciu zadanú inštrukciou vykoná súčasne nad všetkými slovami. Maticový procesor nie je preto vhodný pre bitové manipulácie. Tieto sa musia vykonávať nepriamo pomocou maskovania alebo logických operácií. Spracovanie po slovách umožňuje vysokú rýchlosť aritmetických operácií. Maticový procesor je výhodný pre výpočty lineárnej algebry. Ak napr. maticový procesor obsahuje N procesorov PE (pričom $N = 2^n$), pamätanie matice $N \times N$ po stĺpcoch sa uskutočňuje tak, že do pamäti každého PE sa uloží jeden riadok matice a jednu čítanie z pamäti prenesie jeden stĺpec do vektora aritmetických jednotiek FE. V lineárnej algebre sú okrem toho potrebné všeobecné posuvy, umožňujúce presuny údajov z jedného riadku resp. stĺpca matice do druhého. Napr. sčítanie dvoch stĺpcov matice $N \times N$ vyžaduje posuvy o N miest:



Ďalšou prednosťou maticového procesora je zjednodušenie programovania tým, že obsahuje skalárne a vektorové inštrukcie. Jednou inštrukciou možno vykonať operácie nad celým vektorom údajov. Prvky matice môžu byť uložené v ľubovoľných bunkách pamäti. Okrem fyzikálnych obmedzení rozsahom pamäti neexistujú žiadne logické obmedzenia. Toto je veľmi výhodné z hľadiska úspory pamäťových miest pri použití prekladačov vyšších jazykov (FORTRAN, ALGOL a pod.).

Známy predstavitelom maticových procesorov je počítač ILLIAC IV. Jeho pôvodná štruktúra je známa pod názvom Solomov počítač [5] a bola navrhnutá pre 256 elementárnych procesorov PE. Na obr. 7 je ukázaný jeden doteraz realizovaný kvadrant maticového procesora ILLIAC IV, ktorý sa skladá zo 64 procesorov PE [6]. Každý procesor obsahuje približne 10^4 rýchlych bradiel a má výkon samostatného počítača. Všetky PE sú riadené spoločným centrálnym riadiacim elementom, v dôsledku čoho všetky vykonávajú tú istú operáciu súčasne. Jeden kvadrant počítača môže vykonať vyše 240 miliónov operácií sčítania za sekundu.

Okrem základného typu maticového procesora existujú ešte jeho modifikácie a to:

- maticový procesor s asociatívnou pamäťou
- asociatívna pamäť s dôstatočnou logikou v každom bite na vykonávanie aritmetických a logických operácií.

Vzhľadom na relatívne vysokú cenu asociatívnych pamätí uvedené modifikácie sa používajú len v špeciálne odôvodnených prípadoch.

Samostatné kategórie maticových procesorov tvoria

- asociatívny maticový procesor
- ortogonálny maticový procesor
- zretiazovaný maticový procesor

Keďže niektoré z týchto procesorov majú principiálny význam, zmieniame sa o nich podrobnejšie.

2.4. Asociatívny maticový procesor

Asociatívny maticový procesor je maticový procesor používajúci asociatívnu pamäť, ktorej každá bunka obsahuje elementárny procesor PE (obr. 8) a pracuje s bitovými rezní šírky 1 až 16 bitov, na rozdiel od maticového procesora, ktorý je slovné orientovaný. Podobne ako pri maticových procesoroch, počet elementárnych procesorov PE je zvyčajne mocninou 2. Z ekonomických dôvodov sa najčastejšie používajú PE s 1-bitovými rezní, tzn., že PE obsahujú 1-bitové aritmetické a logické jednotky s 1-bitové pamäti na riadenie a pamätanie medzirádových prenosov. Vlastná pamäť sa používa len pre operandy a výsledky operácií. Z takýchto veľmi jednoduchých

PE možno vytvoriť zložitejšie štruktúry až do šírky toku aritmeticko-logickej jednotky 64 bitov. Na zvýšenie rýchlosti sa používa zretazenie pamäti a zretazenie operácií analogicky ako v zretazenom procesore. Na jeden slovný cyklus môže pripadať napr. 16 hodinových taktov, počas ktorých sa sériovo vykonávajú elementárne aritmetické a logické operácie nad jednotlivými bitmi v 1-bitovej aritmeticko-logickej jednotke. Asociatívny maticový procesor si zachováva všetky vlastnosti maticového procesora a rozširuje ich o využitie asociatívnej pamäti pracujúcej s neodresným výberom (adresovanie obsahom), ktorá spadá do kategórie paralelných pamäti. Trieda maticových procesorov s asociatívnymi pamäťovými bunkami je vhodná na pamätanie a výber ^{údajov} veľkých informačných systémoch. Každá bunka pamäti obsahuje jedno pamäťové slovo konštantnej dĺžky W . Všetky bunky prijímajú súčasne hľadané slovo C a masku M , ktoré sa vysielajú prenosovým kanálom. Bunka pamäti sa považuje za vybranú ak je splnená podmienka vyjadrená v Iversonovom zápise [4] vzťahom $1 = V/A (C = W) \vee M$.

V porovnaní s maticovým procesorom možno asociatívny maticový procesor charakterizovať takto: umožňuje adresovať pamäť až na úroveň bitov, dĺžka slova je ľubovoľná, počet elementárnych procesorov PE môže byť veľký, vďaka nízkej cene 1-bitových ALJ aritmeticko-logických jednotiek, vykonávanie operácií porovnania je podstatne rýchlejšie. Aritmetické jednotky jednotlivých buniek pamäti pracujú síce sériovo po bitoch, ale všetky bunky vykonávajú súčasne tú istú inštrukciu zadanú riadiacou jednotkou procesora. Napr. veľmi rýchly konvenčný počítač s cyklom pamäti 0,5 μ s, ktorý spracúva všetky bity slova paralelne, môže vytriediť a sčítať dve 24-bitové položky zoznamu a zapamätať ich súčet za cca 3 μ s. Asociatívny maticový procesor pracujúci sériovo potrebuje na tieto operácie 28 μ s. Ak však treba sčítať 3000 takých údajov, asociatívny procesor to vykoná opäť za 28 μ s, zatiaľ čo konvenčný počítač bude vyžadovať $3 \cdot 3000 = 9\,000$ μ s.

Typickým predstaviteľom asociatívneho maticového procesora, ktorý bol sériovo realizovaný, je počítač STARAN IV firmy Goodyear Aerospace Corp. [7]. Skladá sa z n maticových modulov ($n \leq 32$).

Každý maticový modul obsahuje 256 elementárnych procesorov PE a asociatívnu pamäť 256 slov x 256 bitov (obr.9) realizovanú v prvých modeloch pomocou cylindrických tenkých magnetických vrstiev a neskôr pomocou veľkoplošných integrovaných obvodov LSI. Jeho operačná rýchlosť je až 300 mil. oper./s. Asociatívny maticový procesor sa používa len v špeciálnych aplikáciách, kde je zaručená vysoká účinnosť využitia technických prostriedkov systému a kde v dôsledku vysokej rýchlosti vstupných údajov v reálnom čase nemožno použiť iný typ počítačovej štruktúry. Najčastejšie býva hybridné spojenie asociatívneho maticového procesora vo funkcii vstupno-výstupného procesora s iným konvenčným resp. maticovým procesorom. Počítač STARAN IV sa využíva hlavne na frekvenčnú analýzu pomocou rýchlej Fourierovej transformácie (FFT), na riadenie leteckej dopravy, pre rôzne druhy obranných systémov a pod. Počítač STARAN IV najčastejšie pracuje vo viacpočítačovej konfigurácii s inými výkonnými počítačmi.

2.5. Ortogonálny maticový procesor

Ortogonalný maticový procesor predstavuje špeciálny prípad asociatívneho procesora. Okrem elementárnych procesorov PE na úrovni jednotlivých slov obsahuje sériový procesor, ktorý má prístup do ortogonálnej pamäti (obr. 10). Ortogonalna pamäť sa definuje ako pamäť s duálnym prístupom, t. j. s kombinovaným konvenčným slovným výberom a výberom po bitových rezech. Štrukturálne, orthogonalný procesor sa líši od štandardného maticového procesora (obr. 1c) tým, že má "Princetonskú" štruktúru, t. j. pamäť pre programy a údaje je spoločná, na rozdiel od "Harvardskej" štruktúry, kde sa používajú samostatné pamäti pre programy a pre údaje. Použitie spoločnej pamäti má viacero výhod:

(a) Zjednodušuje sa kopolovanie programov, lebo riadiaca jednotka má k dispozícii vlastnosti asociatívneho procesora,

(b) Môžu sa vykonávať súčasne operácie v sériovom procesore nad programami a paralelné operácie nad údajmi v množine procesorov PE. Keďže orthogonalný procesor umožňuje efektívnejšie kon-

pilovanie, je tento zvlášť výhodný pre vedecko-technické výpočty. Duálny prístup do pamäti umožňuje dávať rýchlo k dispozícii výsledky testovania podmienok a tak zvýšiť účinnosť riadiacej jednotky, najmä pri spracúvaní programov s veľkým počtom operácií vetvenia. Tieto operácie normálnemu maticovému procesoru spôsobujú ťažkosti a zvyčajne sa nehradzujú maskovaním.

Ortogonalný maticový procesor možno opäť využiť v kombinácii s iným veľkým maticovým procesorom vo funkcii výkonného vstupno-výstupného procesora. Ak počet elementárnych procesorov PE v oboch maticových procesoroch sa zvolí rovnaký, podstatne sa uľahčia problémy komunikácie. Prenos údajov z vonkajšieho prostredia do vstupno-výstupného procesora sa môže uskutočňovať konvenčne a z tohto procesora do matice asociatívnych pamäti po ôľokoch.

2.6. Zretázený maticový procesor

Rozšírením princípu zretázenia (kap. 2.2.) na maticový procesor vznikne zretázený maticový procesor. Skladá sa z matice procesorov, ktorá vďaka zretázeniu má menší rozsah technických prostriedkov s vyšším časovým využitím. Zretázené procesory naproti tomu vyžadujú rýchlejšie obvody a zložitejšie riadenie. Skutočnosť, že v zretázenom maticovom procesore riadiaca jednotka ovláda celý vektor resp. maticu zretázených procesorov, podiel riadenia pripadajúci na jeden procesor je menší. Pri použití bitových rezov o šírke n bitov a dĺžke slova N bitov, vlastný zretázený procesor predstavuje len N/n -tú časť technických prostriedkov celého procesora. Zdálo by sa preto, že aj cena by mala byť primerane nižšia. Z hľadiska technológie výroby je však výhodnejšie vyrábať veľký počet kópií jedného modulu (prípád štandardného maticového procesora), než mnoho modulov rôzneho typu s tými istými prvkami. V dôsledku toho maticové procesory sú vo výrobe lacnejšie než zretázené procesory rovnakého výkonu technických prostriedkov. Zretázené maticové procesory neboli doteraz vo výrobe opakovaně realizované.

3. Centralizované procesorové komplexy

Okrem klasifikácie architektúry procesorov uvedenej v kap. 2, procesory možno ešte rozdeľovať podľa spôsobu ich rozloženia v priestore a to na centralizované a distribuované procesorové komplexy. Centralizované procesorové komplexy môžu tvoriť procesory MISD, SIMD a MIMD, ktoré pracujú na princípe zretazenia, maticových alebo multiprocessorových systémov. Distribuované viacpočítačové komplexy väčšinou pracujú spôsobom MIMD, sú množinou samostatných minipočítačov, ktoré majú lokálne a globálne riadenie, zabezpečované procesormi tejto množiny alebo procesormi vyššej kategórie [11].

Hoci sú tendencie v oblasti architektúry počítačových systémov (kap. 4), ktoré zdôvodňujú výhodnosť použitia distribuovaných viacpočítačových systémov (t. j. určitej siete veľkého počtu minipočítačov) namiesto centralizovaných procesorových komplexov, dnes už je jasné, že pre rozsiahle vedecko-technické výpočty a špeciálne účely spracovania údajov v reálnom čase budú vždy potrebné centralizované procesorové komplexy s extrémne vysokou programovou priepustnosťou. Príkladmi problémov, ktoré vyžadujú použitie centralizovaných procesorových komplexov sú napr.: rozsiahle maticové výpočty, spektrálna analýza použitím rýchlej Fourierovej transformácie, riešenie parciálnych diferenciálnych rovníc, aplikácie metód Monte Carlo, riadenie leteckej dopravy na základe spracovaných signálov z rádiolokátorov, globálna protiraketová obrana, spracovanie seizmických signálov pre potreby geofyziky a geológie, spracovanie a aktualizácia veľkých základní údajov pre dlhodobé predpovede počasia a pod.

Centralizované procesorové komplexy, ktoré sa vyrábajú sériovo, sú napr.: IBM System 360/195, Texas Instruments ASC, Goodyear STARAN IV a pod.

O vytvorení počítačových systémov s vysokým výkonom, patriacich do kategórie MIMD, uvažovalo sa už v minulosti, ale sa nemohli

výrobne realizovať pre nepostačujúcu technológiu. Ide o určitý druh paralelizmu vedúceho k vytvoreniu multiprocessorového počítača, ktorý je definovaný ako počítačový systém obsahujúci viac procesorov zdieľajúcich spoločnú prvostupňovú pamäť, pričom všetky procesory pracujú na jednej úlohe. Vytvorenie takejto štruktúry je sčíta najstaršou a najprísnnejšou metódou na dosiahnutie paralelizmu, používanou už pri počítačoch nižších generácií.

Fyzikálne rozdielny, ale štrukturálne podobný je systém centralizovanej počítačovej siete. Počítačovú sieť možno definovať ako množinu samostatných počítačov (najčastejšie mini-alebo mikro-počítačov), územne rozložených na jednom alebo viac miestach, z ktorých každý má lokálnu, i keď obmedzenú prvostupňovú pamäť, s možnosťou prístupu do spoločnej hromadnej druhostupňovej pamäti. Pri počítačovej sieti množina počítačov zvyčajne pracuje na rozdielnych úlohách, využívajú tzv. prirodzený paralelizmus riešeného problému. Podmienkou, aby počítačovú sieť bolo možné zaradiť do centralizovaných procesorových systémov je, aby počítače boli územne rozložené na jednom mieste.

Výhody centralizovanej počítačovej siete sú: (a) nízka cena systému v dôsledku použitia štandardne vyrábaných počítačov, (b) možnosť konštrukcie multiprogramového operačného systému vychádzajúceho z multiprocessorových operačných systémov použitých počítačov.

4. Distribuované počítačové systémy

Iná forma paralelizmu môže vzniknúť prepojením viac počítačov medzi sebou a vytvorením tzv. počítačových sietí ako napr.: ARPA, MERIT, TYMNET, CYBERNET a ďal. [8, 9]. Počítačová sieť ARPA spojuje okolo 25 fyzicky vzdialených samostatných počítačov na univerzitách a výskumných inštitúciách. Používajú sa prenosy po vedeniach rýchlosťou 50 kbit/s. Na pamätanie a prepínanie správ, ako i na pripojenie siete k veľkým počítačom sa používajú mini-počítače, ktoré sú prvkami siete. Táto štruktúra umožňuje vykonávanie mnohých funkcií centralizovaného multiprocessorového počítačového systému (napr. C. mmp-CMU multi-mini-processor [10] a ďalšie),

avšak nie je obmedzená na jednu fyzickú lokalitu. Naproti tomu, niektoré aplikácie distribuovaných počítačových systémov nie sú možné pre časové oneskorenia a obmedzenú šírku pásma pri prenosoch medzi počítačmi siete. Principiálna schéma štruktúry distribúovanej počítačovej siete je uvedená na obr. 11.

Význam prepojenia počítačov do siete sa zvyšuje najmä v dôsledku rozdeľovania a tým aj lepšieho využívania zdrojov počítačových systémov. Tento problém je zvlášť akútny pri minipočítačoch, kde cena základného počítača je nízka a ceny druhostupňových pamätí pre súbory a základné údaje, ceny vstupno-výstupných zariadení a iných koncových zariadení sú relatívne vysoké. Taktiež riešenie určitých úloh na minipočítači je relatívne drahé, ak vyžaduje použitie hromadných (diskových) pamätí a ďalších podporovaných činností ako: spracovanie súborov, tlač, kreslenie, ďalej prekladanie programov z vyšších programovacích jazykov a realizovanie výpočtov v pekylivej rádovej čiarku a dvojnásobnej presnosti.

Paralelizácia realizovaná pomocou distribuovaných počítačových sietí dáva nasledujúce možnosti:

- (a) Paralelné spracovanie. Riešané úloha sa realizujú na niekoľko nezávislých podúloh pri využití priradeného alebo umelého paralelizmu.
- (b) Zreťazené spracovanie. Úloha sa realizujú na určitý počet nezávislých podúloh, ktoré sa spracovávajú paralelne na viac počítačoch používajúc kooperujúce podprogramy. Jednotlivé kooperujúce podprogramy sa pridávajú procesory, ktoré si navzájom postupujú medzivýsledky na ďalšie spracovanie. Typickým príkladom je rozpoznávanie obrazov v reálnom čase (napr. analýza signálov EKG, EEG a pod.), výhodná je aj kompilácia programov a pod.
- (c) Sieťové spracovanie. Jednotlivé počítače ^{siete} pridávajú špecializované funkcie. Práce prebiehajú medzi špecializovanými počítačmi (napr. počítače priradené určitým typom výpočtov, vstupno-výstupné procesory atď.). Do počítačovej

siete sa môžu pridať počítače so špeciálne riešenými technickými prostriedkami procesorov pre účely interpretácie vyšších programovacích jazykov (napr. LISP) alebo na spektrálnu analýzu pomocou rýchlej Fourierovej transformácie FFT.

- (d) Konvenčný multiprogramový režim práce. Mnohonásobne nezávislé programy sa pridelia nezávislým procesorom alebo množinám procesorov, ktoré pracujú bežným multiprogramovým spôsobom.

Záverom treba uviesť, že počítačové siete pripúšťajúce rekonfigurovateľnosť možno výhodne realizovať pomocou zovšeobecneného zretazenia (pozri kap. 2.2.). Procesory siete sú zaradené do dvoch množín, podľa funkcií, ktoré vykonávajú. Jedna množina procesorov vytvára postupnosť (inštrukcií, údajov) a druhá množina procesorov ich vykonáva resp. spracúva. Pomer počtu vykonávacích procesorov k počtu procesorov na vytváranie postupnosti je premenný a teda systém je vysoko adaptívny vzhľadom na meniace sa vonkajšie zaťaženie. To znamená, že každý procesor môže pracovať raz ako procesor na vytváranie postupnosti, inakedy ako vykonávací procesor. Funkcia každého procesora je závislá od rozdelenia záťaží takým spôsobom, že systém je vyvážený.

Každý vykonávací procesor pracuje ako výpočtový segment rekonfigurovateľného zretazenia. V dôsledku toho množina činností, ktoré možno v konfigurácii zretazenia vykonávať, sa dynamicky mení. Pre riešenie problémov pomocou zretazených konfigurácií je však potrebné vyvinúť nové metódy výpočtov, algoritmy sekvencovania atď.

Veľmi perspektívna sa javí budúcnosť zretazených sietí realizovaných pomocou mikroprocesorov najmä v dôsledku silného poklesu cien technických prostriedkov. V mikroprocesorovej sieti každý mikroprocesor má špecializovanú funkciu vyplývajúcu zo všeobecného princípu zretazenia, ktorá sa realizuje prostredníctvom mikroprogramovania. V týchto sieťach sa veľmi jednoducho realizuje princíp riadenej degradácie, čo umožňuje vytvárať spoľahlivé systémy s vysokou operačnou pohotovosťou (pozri kap.5.)

5. Spôľahlivostné multiprocessorové centralizované a distribuované viacpočítačové systémy

Hlavný vplyv na spoľahlivosť prvých počítačov mala nespoľahlivosť súčiastok a vonkajšie bazy logických obvodov najmä v dôsledku vysokého výkonu teplo. V súčasnosti, úroveň súčiastok sa zlepšila do tej miery, že jedna súčiastka môže realizovať úplný mikroprocesor pri minimálnom vývine tepla. Hoci technické prostriedky na úrovni mikroprocesorov sa stali spoľahlivejšie, celková spoľahlivosť počítačových systémov sa znížila. Tento paradoxný jav vyplýva z toho, že súčasne sa podstatne zvýšila zložitnosť technických a programových prostriedkov systémov. Pravdepodobnosť bezperuchovej činnosti systému v danom časovom intervale je určená súčinom pravdepodobnosti jednotlivých súčiastok, že v danom intervale netlyhajú. Čím je systém rozsiahlejší, tým je väčšia pravdepodobnosť jeho poruchy.

Okrem zníženia zložitosti počítačových systémov, existujú dve základné metódy zvýšenia spoľahlivosti: (a) Testovanie systému, (b) použitie ochrannej nadbytočnosti. Metóda testovania vyžaduje, aby systém bolo možné rozložiť na jednoduchšie podsystemy resp. moduly, ktoré možno nezávisle testovať. Ochranná nadbytočnosť síce neeliminuje poruchy systému, ale poskytuje odolnosť proti poruchám. Účelom nadbytočnosti technických prostriedkov je vylúčiť poruchy systému v dôsledku náhodných zlyhaní alebo obidenia porušenej jednotky a prepnutia na záložnú jednotku alebo prehlásením chybného výstupu inými výstupmi, o ktorých sa dá predpokladať, že sú správne. Iné formy nadbytočnosti sú: programová nadbytočnosť, obsahujúca špeciálne programy pre obnovenie činnosti po poruche atď., časová nadbytočnosť založená na spekovaní prenosov a nakoniec údajová nadbytočnosť (kontrolné súčty, spätné kópie - echo testy a pod.).

V zásade všetky spoľahlivostné systémy možno rozdeliť do troch hlavných kategórií a to: HIFT - Spoľahlivostný systém, v ktorom sa spoľahlivosť zabezpečuje technickými prostriedkami, SIFT - Spoľahlivostný systém zabezpečovaný programovými prostriedkami.

a hybridný spôsob, ktorý je kombináciou oboch predchádzajúcich.

Architektúry počítačových systémov zabezpečujúce spoľahlivosť technickými prostriedkami sa zakladajú na vnútropočítačovej alebo medzipočítačovej nadbytočnosti. Vnútropočítačová nadbytočnosť, selektívna alebo masívna [11], v oboch prípadoch vedie k neštandardným riešeniam základných modulov počítača (nadbytočné logické obvody, detekčné a samoopravné kódy atď.). V súlade s rozvojom technológie je preto prirodzený prechod k medzipočítačovej nadbytočnosti, ktorá umožňuje vytvárať spoľahlivostné siete mini- a mikro-počítačov zo štandardne vyrábaných počítačov. Tento prístup je zvlášť výhodný pre riadiace počítačové systémy pracujúce v reálnom čase. Systémové riešenie takýchto spoľahlivostných počítačových systémov vyžaduje splnenie nasledujúcich požiadaviek:

Technické a programové prostriedky musia byť moduly a segmentované tak, aby bolo možné kontrolovať medzimodulové prenosy. Systém musí byť odolný proti poruchám technických a chybám programových prostriedkov. Musí byť možnosť automatickej diagnostiky celého systému. Degradovateľnosť a rekonfigurovateľnosť systému musí umožňovať tolerovanie poruchy jednotlivých členov systému. Systém musí byť schopný dynamickej obnovy činnosti po poruche v rozsahu degradovaného podsystemu.

Na riadenie mimoriadne dôležitých procesov, kde počítač nesmie vypadnúť ani na zlomok sekundy, používajú sa tzv. ultraspoľahlivé počítačové systémy. Do tejto kategórie spadá napr. systém JPL - STAR (Self-Testing-And Repairing) [12], ktorý je vybavený automatickým obnovením činnosti po poruche niektorého jeho člena. Za účelom zistenia chýb sa pre inštrukcie a údaje používa detekčný kód. Decentralizácia činnosti systému umožňuje programovú lokalizáciu porúch. Náhrada porušených jednotiek a rekonfigurácia systému sa uskutočňuje spínaním napájacích zdrojov príslušných jednotiek.

Okrem uvedených spoľahlivostných systémov existuje ešte rad ďalších riešení, ktoré sa pokúšajú spoľahlivostný systém optimalizovať z toho-ktorého hľadiska. Spomenúť treba systémy SIFT a HIFT

ako: FAIR, SERP, MZCRA, ARMS, "A Three Failure Tolerant Computers System", ako aj už uvádzané multi-miniprocessorové systémy Comp, ARPA a pod.

Technickými prostriedkami realizované spoľahlivé systémy MFT pre svoje funkcie reštrukturalizácie, rekonfigurácie a riadenej degradácie vyžadujú rozsiahle možnosti prepínania zbernic medzi procesormi, pamätami a ostatnými prídavnými zariadeniami. Pri riešení architektúry takýchto systémov treba preto venovať pozornosť zbernicovej štruktúre a zvlášť prepojuvacia a permutačná sieť. Riadiace signály n. s. s. s. štruktúru permutačnej siete tak, že v vstupných a v výstupných vedení sa navzájom prepoji požadovaným spôsobom. Maximálny počet možných prepínaní je ni s horná hranica potrebných riadiacich signálov je $\log_2 (n!)$. Celkovo môžeme konštatovať, že pre centralizované multiprocessorové systémy a spoľahlivé systémy MFT je kardinálnou otázkou vyriešenia permutačnej siete, ktorá by zabezpečovala vysokú spoľahlivosť a pritom by bola ekonomicky únosná pri použití veľkoplošnej integrácie LSI. Použitie technológie LSI na realizáciu prepojuvacích sietí vyžaduje, aby siete boli inverzálne, minimálne a aby pri ich syntéze boli použiteľné homogénne množiny prepínacích prvkov.

6. Závor

Uvedený je prehľad architektúr perspektívnych počítačových systémov 4. generácie, ktoré vďaka rýchlemu rozvoju technológie veľkoplošných integrovaných obvodov LSI sa stávajú aktuálnymi pre reálnu prax. Pre zložité vedecko-technické výpočty bude potrebné najmä vyvíjať veľké centralizované superpočítače s rýchlosťami 10^7 až 10^9 oper./s. Základom týchto systémov sú paralelné procesory (zreťazené, maticové a asociatívne) alebo ich kombinácie.

Popri tomto smere sa budú vyvíjať centralizované komplexy vytvorené kombináciou množiny minipočítačov resp. mikroprocesorov v rámci multi-minipočítačov resp. multi-mikroprocesorov. Pre širokú oblasť spracovania údajov sú výhodné distribuované systémy vytvorené z mini- resp. mikroprocesorov prepojených prenosovými kanálmi. Riadenie procesov v reálnom čase a spracovanie údajov,

nepripúšťajúce stratu údajov, vyžaduje použitie spoľahlivostne riešených počítačových systémov.

V oblasti vonkajších hromadných pamätí sa postupne prejde od dnešných diskových pamätí k magnetickým doménovým (bublínkovým) pamätiam bez pohyblivých mechanických častí. Vstupy a výstupy počítačov budú viac prispôsobené vlastnostiam človeka. Bude sa používať hlasový resp. rečový vstup a výstup, strojopísaný a ručopísaný vstup a ďalšie.

Počítače zasiahnu do každej oblasti ľudského života. Najväčšou hrozbou silou, ktorá popri technológii formuje budúci vývoj počítačov, je cena programového vybavenia. Aby bolo možné zvládnuť neobhádané ekonomicky vyššie úlohy v oblasti programovania, bude potrebné radikálne zmeniť prístup k tvorbe programov. Dnešné dobre vypracované súbory aplikačných programov využívané viacerými používateľmi sa nahradia technickými prostriedkami typu mikroprocesorov so štandardnými permanentnými pamätami ROM. Tam, kde je potrebná veľká varieta programov, možno použiť mikroprocesory do určitej miery programovateľné. Používateľ, namiesto dnešného programovania v programovacom jazyku bude pomocou takýchto technicky realizovaných programov určovať funkcie, ktoré sa majú vykonať, špecifikovaním modulov podľa katalógu a ich sekvencovanie sa bude riadiť jednoduchým používateľským jazykom.

Pri technicky realizovaných programech potreba programátorských a používateľských zásad zníži, avšak vloženie nových programov do technických prostriedkov počítačov bude vyžadovať viac úsilia na strane výrobcov technických modulov a tam bude umiestnená aj väčšina programátorských kapacít. Pri použití technicky realizovaných programových modulov bude možné značne znížiť réžiu systémovej činnosti elimináciou takých položiek, ako sú operačné systémy, kompilátory jazykov, služobné podprogramy a pod., ktoré dnes predstavujú až 50 % programovania a priemerného používateľa a približne 50 % strojového času stredných a veľkých počítačov.

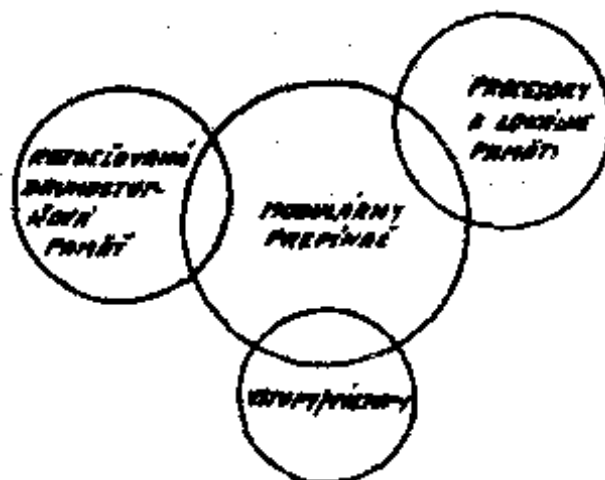
Opačný trend k technicky realizovaným programom sú "programované" technické prostriedky počítačov. Za účelom zachovania existujúceho programového vybavenia budú sa stavať počítače umožňu-

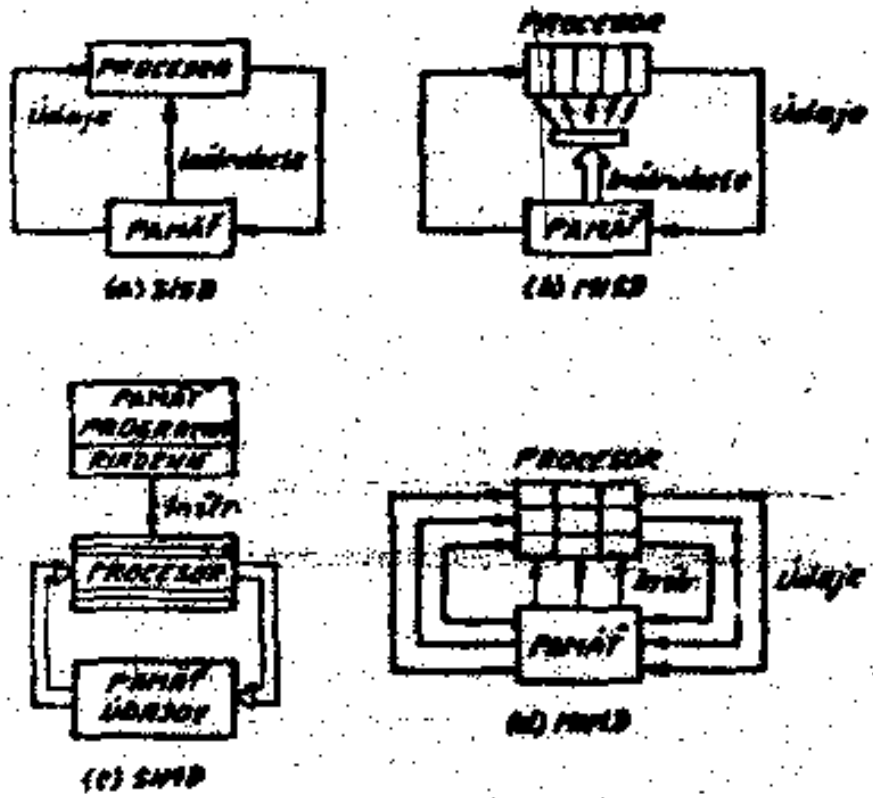
júce emuláciu súboru rôznych počítačových architektúr na úrovni mikroprogramovania. Tým sa podarí zachrániť akumulované investície v už napísaných programoch. Všetky uvedené architektúry paralelných procesorov majú ešte pomerne veľa otvorených problémov, najmä v oblasti operačných systémov, programovacích jazykov a používateľských paralelných algoritmov, ktoré budú potrebné riešiť súbežne s vývojom systémových a technických prostriedkov.

Literatúra

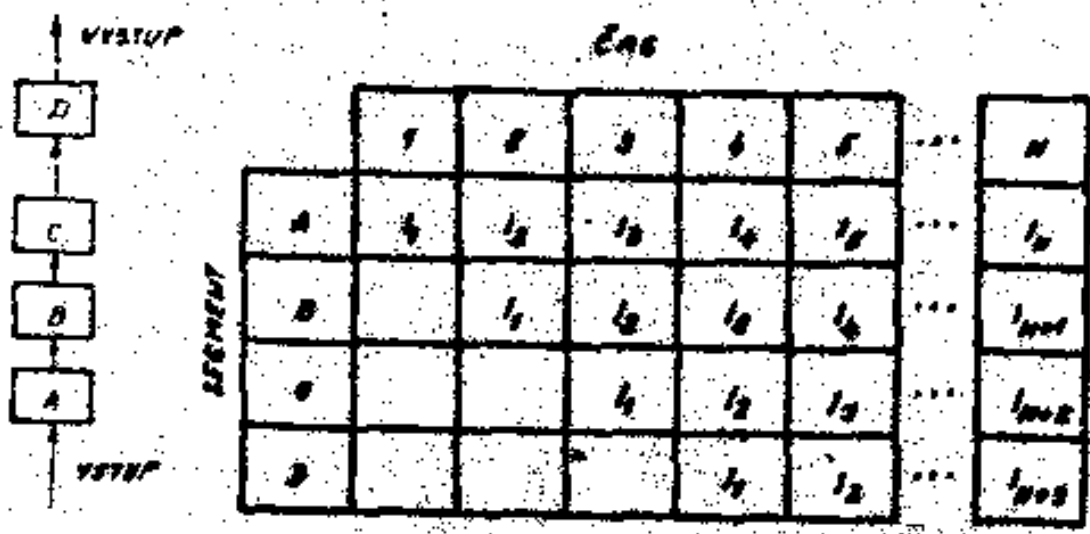
- [1] von Neuman J.: Collected Work, New York, McMillan 1963.
- [2] Holland, S.A. - C.J. Purcell: The CDC STAR-100: A Large Scale Network Oriented Computer System. Proc. IEEE Computer Conference, Sept. 1971, s.55-56.
- [3] Watson, W.J., R.M. Carr: Operational experiences with the TI Advanced Scientific Computer. National Computer Conference, 1974, s. 389-396.
- [4] Iversen, K.E.: A Programming Language. New York, London, Sydney, J. Wiley Inc. 1962.
- [5] Slotnick, D.L., W.C. Barok, R.C. McReynolds: "The SOLOMON Computer", AFIPS Proc. FJCC 1962, Vol. 22, s. 97-107.
- [6] Barnes, J.R., R.M. Brown, M. Kato, D.J. Kuck, D.L. Slotnick, R.A. Stokes: The ILLIAC IV. Computer, IEEE Transactions on Computers, C-17, No. 8, August 1968, s. 746-757.
- [7] Rudolph, J.A., L.C. Fulmer a W.C. Meilander: The coming of age of the associative processor. Electronics 1971, Febr. 15, s. 91-95.

- [8] Heart, F.E., S.M. Ornstein, W.R. Crowther a W.B. Eerkes: A new minicomputer/multiprocessor for the ARPA network. National Computer Conf. 1973, s. 529-537.
- [9] Sharma, R.L., J.C. Shan, M.T. El-Bardai a K.K.Sherma: C-System: multiprocessor network architecture. In: Information Processing 74, Amsterdam, North-Holland Publishing Co. 1974, s. 19-23.
- [10] Wulf, W.A. a C.G. Bell: C.mmp-A multi-mini-processor. Proc. Fall Joint Computer Conf. 1972, s. 765-777.
- [11] Plander, I.: The reliability of a hierarchic multi-computer system for real time direct industrial process control. In: Proc. Congress IFIP 71 Ljubljana 1971, Amsterdam, North-Holland Publishing Co. 1972, s. 1168-1173.
- [12] Arizienis, A. et al.: The STAR (Self-Testing-And-Repairing) Computer: An investigation of the theory and practice of fault-tolerant computer design. IEEE Trans. on Computers, Vol. C-20, 1971, Nov. s. 1312-1321.

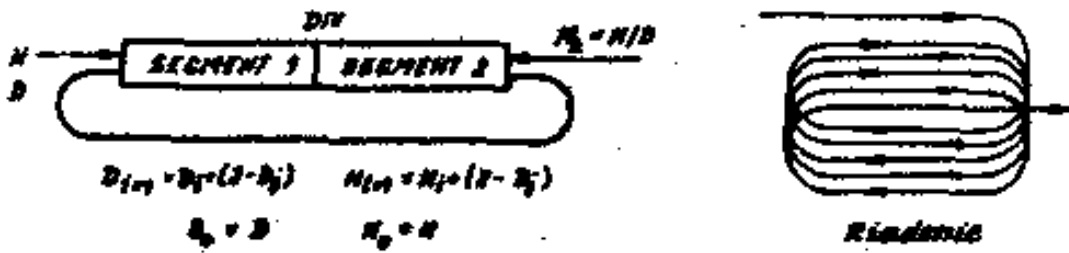




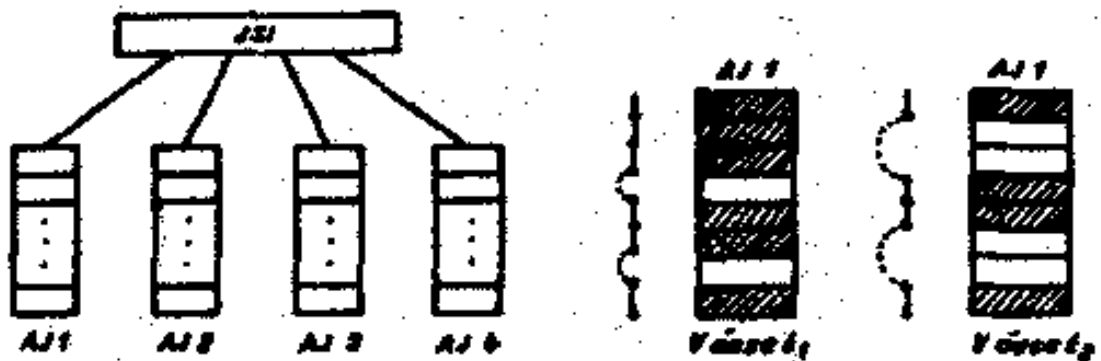
Hlavné druhy procesorův (a) Sériový procesor, (b) zřetazovaný procesor, (c) maticový procesor, (d) multiprocesor



Blocková schéma všeobecného zřetazenia



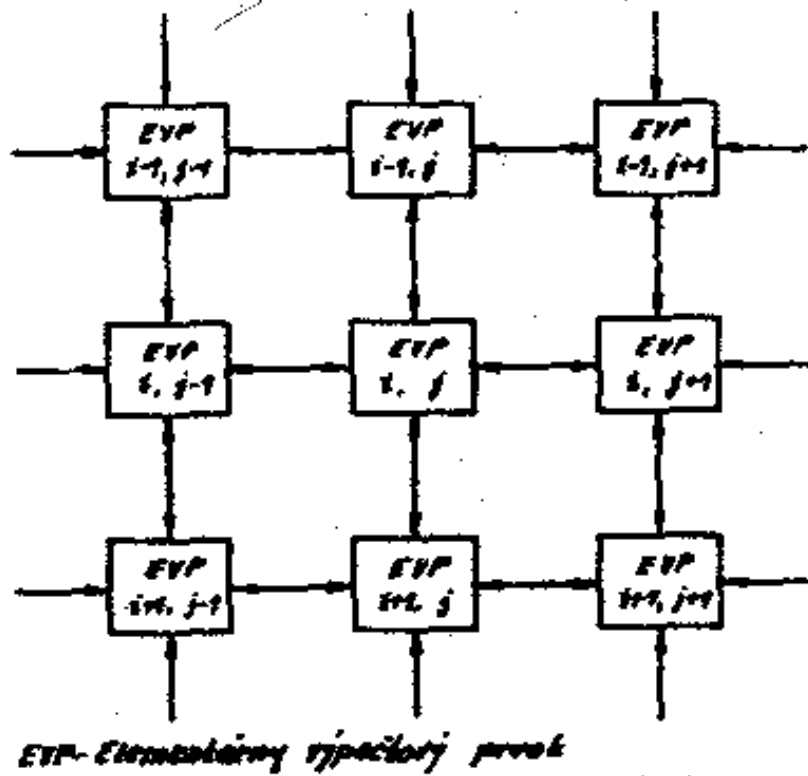
Obr. 3 Delenie pomocou zretazenie na subsystémovej úrovni



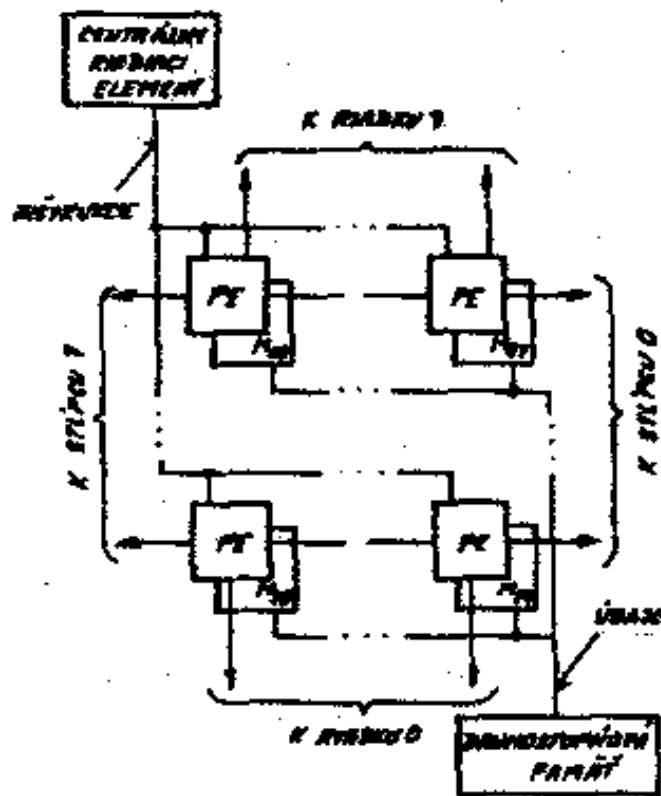
Obr. 4 Opakované dynamické zretazenie aritmetických jednotiek TI-ABC



Obr. 5 Zretazenie na systémovej úrovni

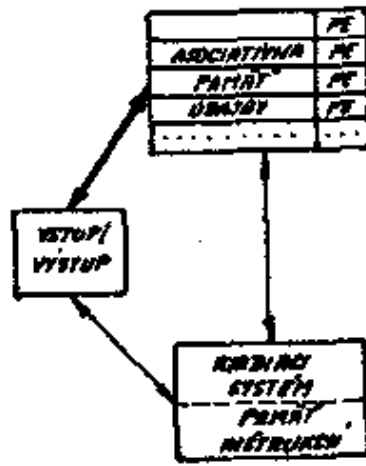


Obr. 6 Symbolické zobrazenie maticového procesora

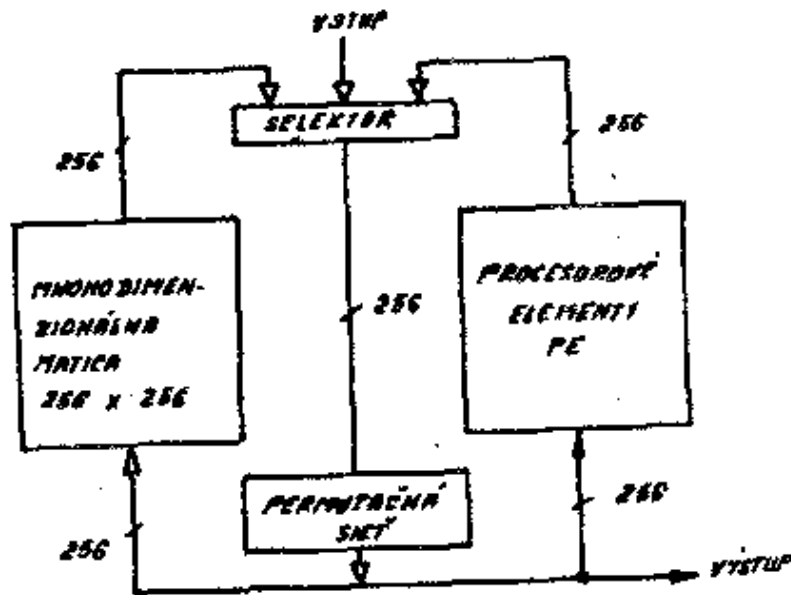


PE_{ij} - ELEMENTÁRNY PROCESOR i, j
 PM_{ij} - PRÁRŤ i, j

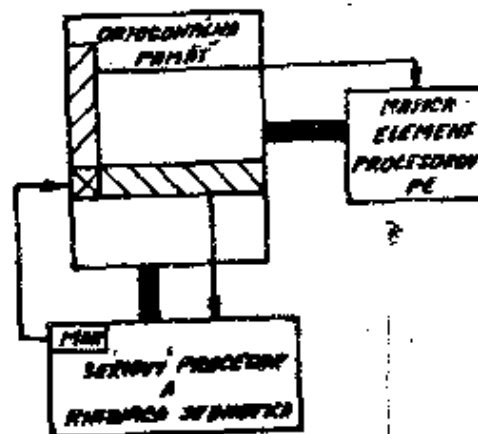
Obr. 7 Jeden kvadrant matice počítača ILLIAC IV



Obr. 8 Bloková schéma asociatívneho maticového procesora



Obr. 9 Modul elementárnych procesorov PE asociatívneho procesora STARAN



Obr. 10 Ortogonálny maticový procesor s ortogonálnou pamäťou